

WEST

Generate Collection

Print

L4: Entry 1 of 1

File: JPAB

Apr 17, 1992

PUB-NO: JP404116851A

DOCUMENT-IDENTIFIER: JP 04116851 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT ELEMENT

PUBN-DATE: April 17, 1992

INVENTOR-INFORMATION:

NAME

COUNTRY

SUZUKI, MASAKO

HOSHI, MITSUHIKO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

TOSHIBA MICRO ELECTRON KK

APPL-NO: JP02236433

APPL-DATE: September 6, 1990

US-CL-CURRENT: 326/41

INT-CL (IPC): H01L 21/82; H01L 21/3205

ABSTRACT:

PURPOSE: To reduce the chip size of the title element by installing I/O buffer device cells and bonding pads in an overlapped state.

CONSTITUTION: I/O buffer device cells 11,... are installed to the outermost peripheral section of a semiconductor chip 10 forming a gate array and cell groups 12,... are installed to the semiconductor chip 10 inside of the outermost peripheral section. For electrically connecting the cell groups 12,... with the I/O buffer device cells 11,..., an insulating layer 18 which is also used as a passivation layer covering the entire surface of the chip 10 in which an active element, etc., are incorporated is formed and interlayer insulating layers 19 and 20 are arranged by piling up the insulating layers. Furthermore, wiring layers 13-15 of Al or an Al alloy are provided between the insulating layers 19 and 20. These layers are electrically connected with each other through the Al or Al alloy also deposited in contact holes 21 formed to the insulating layers 18 and 19 and 20. Therefore, the chip area can be reduced, since the I/O buffer device cells and pad cells can be overlapped upon another.

COPYRIGHT: (C)1992,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-116851

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月17日

H 01 L 21/82
21/3205

7638-4M H 01 L 21/82
6810-4M 21/88

P
A

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体集積回路素子

⑯ 特 願 平2-236433

⑰ 出 願 平2(1990)9月6日

⑱ 発 明 者 鈴木 昌 子 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

⑲ 発 明 者 星 実 彦 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

⑳ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

㉑ 出 願 人 東芝マイクロエレクトロニクス株式会社 神奈川県川崎市川崎区駅前本町25番地1

㉒ 代 理 人 弁理士 大胡 典夫

明 細 書

1. 発明の名称

半導体集積回路素子

2. 特許請求の範囲

半導体チップに形成する半導体セル群と、前記半導体セル群を囲む外側の半導体チップの周囲部分に形成するバッファデバイスセルと、前記半導体セル群とバッファデバイスセルを電気的に接続する多層配線層と、前記多層配線層に電気的に接続すると共にバッファデバイスセルに積層して配置するパッドパターンを具備することを特徴とする半導体集積回路素子

3. 発明の詳細な説明

〔発明の目的〕

〔産業上の利用分野〕

本発明は多層配線を施した半導体集積回路素子に係わり、特に、チップサイズ(Chip Size)を縮小するのに好適するものである。

(従来技術)

半導体素子の集積度は最近益々向上しており、いわゆるゲートアレイ(Gate Array)においても同様な傾向にある。このような集積度の向上を達成するには素子構造の設計変更に加えて、いわゆるシュリンク(Shrink)方式により半導体チップ(Chip)サイズ(Size)を実質的に縮小することにより集積度を増大し、かつコストダウン(Cost Down)する方式も一般的な手法として多用されている。

ところで、半導体集積回路素子には所定の不純物を導入・拡散することによって能動素子、受動素子または抵抗などの回路成分から成る群から選定した複数種が造り込まれており、これらの構成部品と電気的に接続した配線層の外に外部機器との接続用として不可欠なボンディングパッド(Bonding Pad)が形成される。一方、いわゆるゲートアレイにあっても当然集積度の増大が求められているが、一般的な構造を第1図を参照して説明する。即ち、1cm四方前後のシリコン(Silicon)半 体チップ1の中央

部分には複数のベーシックセル(Basic Cell 図示せず)を配置する。これは4トランジスタを縦方向と横方向に繰返しアレイ状に整列配置して構成するものである。

その外側の半導体チップ1部分にはI/Oバッファ(Buffer)デバイスセル(Device Cell)2…が形成されている。更にこの外縁と半導体チップの周縁間の距離は120 μ m~150 μ mであり、この半導体チップ部分に120 μ m~100 μ mのピッチ(Pitch)でボンディングパッド(Bonding Pad)3…を整列状態に形成してセル群と電気的に接続している。なおセル領域を囲むI/Oバッファデバイスセル2の四隅A…にはテスト(Test)用発振器(図示せず)が設置されており、縦横によってはダイシングライン(Dicing Line)付近に設置するフォトリソグラフィ(Photo Lithography)工程で利用する合せマーク(Mark)も形成されている。

線にもチップ周辺にI/Oバッファデバイスセル列を設置し、更にまた両者が重ならないようにボンディングパッドをI/Oバッファデバイスセルの外側に配置している。

(発明が解決しようとする課題)

従来の全てのセルライブラリ設計では2層配線、3層配線を問わず共通のものとして多層配線が利用されており、しかも3層以上の配線ではチップ周辺のI/Oバッファデバイスセル列部分とボンディングパッド部分用領域にチップサイズ縮小の余地があるにも拘らず、見過ごしていた。

本発明はこのような事情により成されたもので、特に、I/Oバッファデバイスセル列部分とボンディングパッドセルの相互の配置関係を見直してチップサイズを縮小することを目的とするものである。

【発明の構成】

(課題を解決するための手段)

半 体チップに形成する半導体セル群と、前記半導体セル群を囲む外側の半 体チップの周囲

ところで、半 体集積回路素子とりわけゲートアレイ用のセルライブラリベース(Cell Library Base)のレイアウト(Layout)設計はLSI(Large Scale Integrated Circuit)設計のなかで最も重要な設計工程であり、LSIマスクパターン(Mask)を設計する作業である。論理設計により得られた接続情報と、回路設計により準備された論理セルライブラリーを用いて、論理ゲートの配置・配線を行い、製造条件による制約に従いながら、チップ面積を可能な限り小さくすることが要求され、LSIの使命を制する作業である。

前記セルライブラリベースのレイアウト設計では2層、3層の両配線手法により共通のセルライブラリーを用いるのが一般的である。これはチップ周辺のセルについても例外でなく、配線手法によらずI/Oバッファセルは第1、第2層更にパッドセルは第2層を使って構成されている。このため2層配線の場合はもちろんのこと、3層配

部分に形成するバッファデバイスセルと、前記半導体セル群とバッファデバイスセルを電気的に接続する多層配線層と、前記バッファデバイスセルに設置する多層配線層に電気的に接続すると共に積層して配置するパッドパターンに本発明の半導体集積回路素子の特徴がある。

(作用)

本発明に係わる半導体集積回路素子では多層配線が使用されており、しかもボンディング用パッドセルには最上層の配線層を使うのに対して、I/Oバッファデバイスセル用配線にはより下層の配線層で構成する方式を採用している。これによりI/Oバッファデバイスセル及びボンディング用パッドセルはチップ表面と垂直方向に重ねられるのでパッド用のスペース(Space)が省略されひいてはチップ面積の縮小が可能になる。

(実施例)

本発明に係わる一実施例を第2図乃至第6図を参照して説明するが、理解を助けるために従来技術と同じ部品にも新 号を付けて説明する。第

2図は本発明に係わる半導体集積回路素子におけるゲートアレイにおけるI/Oバッファデバイスセル11…とボンディング用パッド22の位置関係を示す平面図であり、第3図にはそのコーナ(Corner)部分の拡大図が、第4図は本発明に係わるゲートアレイにおけるI/Oバッファデバイスセルとボンディング用パッドの位置関係の応用例である。また、第5図a、bには多層配線構造を断面図で示し、第6図の平面図にゲートアレイにおけるI/Oバッファデバイスセルより内側の半導体チップ部分に形成するセルとセル間を電気的に結ぶ配線状態を明らかにした。

ところで本発明に係わる半導体集積回路素子は例えばシリコンから成るチップに所定の不純物の導入・拡散することにより能動素子、受動素子または抵抗などの回路成分から成る群から選定する一種または複数種が造り込まれており、これらには当然導電性金属から成る電極を設置すると共に、例えばAuやAu合金から構成する配線層を電気的に接続して他の機器との接続に備えている。更

いる。また各セル12…は単に番号を図に書かれた一部の四角の中に書き込んで示した。尚実線は電源及びアース(Earth)ラインを示しており、四角を囲んだ大小の区分Bを模切って書かれている2本の実線の右側が電源を、左側がアースラインを示している。このようなセル群12…と第2図に示したI/Oバッファデバイスセル11…を電気的に接続するには常法により形成する多層配線を利用しており、その一例を第5図a、bに従来例aと共に表示している(この図では便宜上本発明用の番号に従来例にも使用する)。なお第6図のセル群12を囲む区分Bの中に斜めに記されているライブラリ線Cはセルの原点と向きを表している。即ち線分Cの端が左上方向に向いているのが順方向であり、右上方向に向いているのは順方向の中心線を境にして対称的に移動したものを示している。第5図a、bでは前記したように能動素子などが造り込まれた半導体チップ10表面を被覆しパッシベーション(Passivation)層を兼ねる絶物層18に重ね

にこの半導体集積回路素子の配線層はいわゆる多層配線層(第5図参照)で成されている。

更にまた、第2図などに明らかにしたようにゲートアレイを形成する半導体チップ10の最外側周縁部にはI/Oバッファデバイスセル11…を設置し、その内側の半導体チップ10には第6図に示すようにセル群12…(図には一部に番号を付けた)が設置されている。セル群12…を構成する能動素子、受動素子または抵抗などの回路成分から成る群から選定する一種または複数種は多層配線層によりI/Oバッファデバイスセル11…と電気的に接続しており、この状況を第5図と第6図により説明する。

即ち、第6図の平面図には多層配線を施した半導体集積回路素子を構成するセル群12…が四角に書かれた区分内に示されており、図中一点鎖線が第1層配線13、点線が第2層配線14、二点鎖線が第3層配線15、斜線を書いたものが2層目の端子16、三角印が第2層と第1層間に形成するコンタクト(Contact)17を示して

て設置した多層配線が示されている、この絶縁物層18に積層して層間絶縁物層19、20を配置し、絶縁物層18と層間絶縁物層19、20には夫々にAuまたはAu合金(Au-SiまたはAu-Si-Cu)から成る第1配線層～第3配線層13～15を設置する。これらは絶縁物層18と層間絶縁物層19、20に形成するコンタクトホール(Contact Hole)21内にも堆積するAuまたはAu合金を介して互いに電気的接続を行っている。第5図aに明らかなように従来方式では第2配線層14にボンディングパッド22を形成しているのに対して、I/Oバッファデバイスセル11…が設置される半導体チップ10のE部分即ち第3配線層13上にボンディングパッド22が形成されているのが特徴であり、この状態が第5図bに明らかにされている。実際には絶縁物層18の直下には例えばシリコン半導体チップ10(図示せず)が形成されている。このように本発明に係わる半導体集積回路素子では第5図bに示すように従来のゲートアレイ用半導

体チップのD領域約250 μ mが不要となるために集積度を向上することができる。

なお第3図に明らかにしたようにI/Oバッファデバイスセル11には電源パターン(Pattern)23も形成されており、機種によってはセル群12用の電源パターン(図示せず)を最内側に共存させることもある。また、縦横の電源パターン23はコーナー(Corner)でも互いに接続しているが一部に空領域Fができるので、ここに試験用発振器を設置したり、時には光リソグラフィ(Lithography)用の合せマークを形成することもある。また、合せマークはダイシングライン付近に形成するのが一般的である。

第4図a、bには特殊な例を示した。即ち、セルベース設計手法を採っているゲートアレイにおいては複数の標準I/Oバッファデバイスセル11のピッチとボンディングパッド22のそれが一致しない場合、後者をI/Oバッファデバイスセル11にまたがって形成しても良いこと、ボン

ディングパッド22間隔を大きく保つ必要がある時には第4図bに示すように互い違いに配置することも可能である。第4図a、bにおいてはボンディングパッド22に電気的に接続した配線層を24とし、これとI/Oバッファデバイスセル11間を結ぶ端子を25と記載した。I/Oバッファデバイスセルの寸法は標準的なもので縦500 μ m横150 μ mである。

[発明の効果]

本発明に係わる半導体集積回路素子ではI/Oバッファデバイスセルとボンディングパッドを重ねて設置しているので、後者用の領域や配線が要らなくなったのでその分半導体チップサイズを縮小することができ、ひいては集積度を向上できる。その程度としては10mm平方の半導体チップを使用するゲートアレイでは5~6%となり、価格的に厳しい状態におかれている現在非常に有効な手段といえる。

4. 図面の簡単な説明

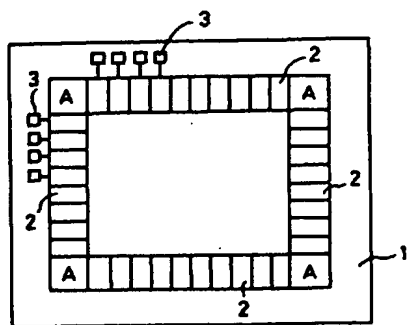
第1図は従来のゲートアレイ用半導体チップ

におけるI/Oバッファデバイスセルとボンディングパッドの位置関係を示す上面図、第2図は本発明に係わるゲートアレイ用半導体チップにおけるI/Oバッファデバイスセルとボンディングパッドの一般的な位置関係を示す上面図、第3図は第2図におけるコーナ部分を拡大して示した図、第4図a、bは本発明に係わるI/Oバッファデバイスセルとボンディングパッドの位置関係の応用例であり、第5図a、bは多層配線とI/Oバッファデバイスセルとボンディングパッドを従来と本発明で示す断面図、第6図はゲートアレイ用セル群の配線状態を示す平面図である。

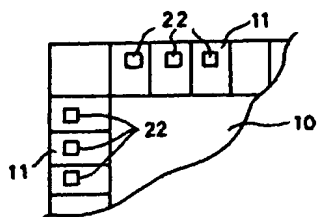
- 1、10：半導体チップ、
- 2、11：I/Oバッファデバイスセル、
- 第1~第3配線層：13~15、
- 17：コンタクト、18：絶縁物層、
- 19、20：層間絶縁物層、
- 21：コンタクトホール、
- 22：ボンディングパッド、
- 23：電源パターン、24：配線、

25：端子。

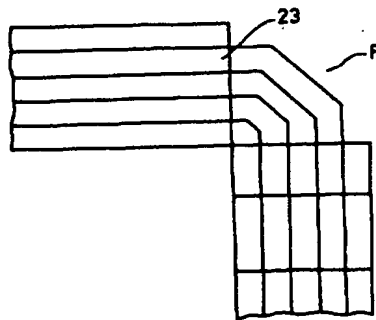
代理人 弁理士 大 胡 典 夫



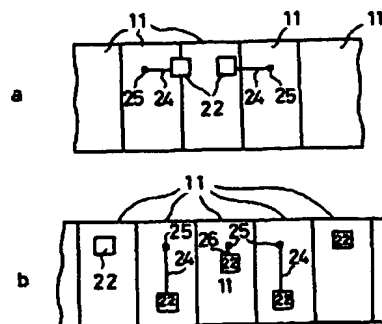
第 1 図



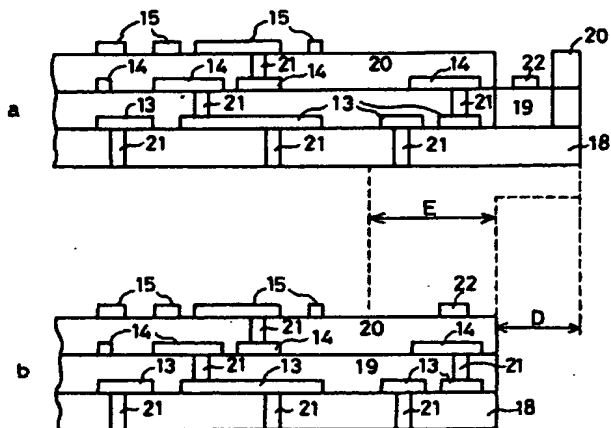
第 2 図



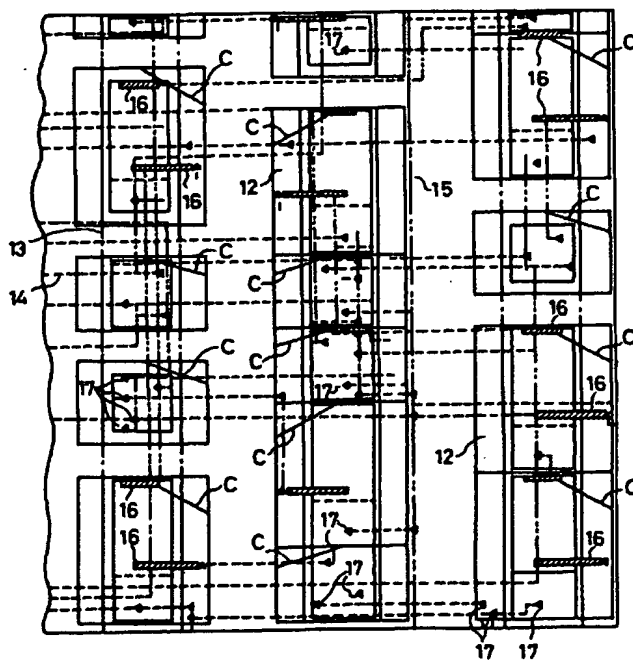
第 3 図



第 4 図



第 5 図



第 6 図